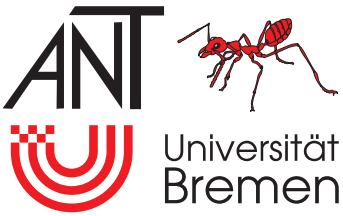
Schwerpunktlabor Nachrichtentechnik

Digital-Analog-Wandler

— SS 2010 —

Betreuer: Carsten Bockelmann
NW1, Raum N2360, Tel.: 0421/218-62386
e-mail: bockelmann@ant.uni-bremen.de

erste Fassung (Projektarbeit) von
Lars Sebastian,
Thomas Rethmann,
Marc C. Lemmel



Fachbereich Physik/Elektrotechnik (FB 1)
Arbeitsbereich Nachrichtentechnik
Postfach 33 04 40
D-28334 Bremen

Inhaltsverzeichnis

1 Theoretische Versuchsvorbetrachtung 1

1.1 Einleitung 1

1.2 Zeit-/Amplituden-Diskretisierung 2

1.3 Abtastung 3

1.3.1 Abtasttheorem 3

1.3.2 Reale Abtastung 3

1.3.3 Rückgewinnung 4

1.3.4 Aliasing 5

1.4 Quantisierung 6

1.4.1 Quantisierungsrauschen 6

1.4.2 Oversampling 7

2 Vorstellung der Umsetzerprinzipien 8

2.1 Eigenschaften und Kenngrößen von AD- und DA-Umsetzer . . . 8

2.2 Signalaufbereitung 9

2.2.1 Sample&Hold-Stufe 9

2.3 Analog-Digital-Umsetzung 11

2.3.1 Flash-Converter 11

2.3.2 SAR-Converter 12

2.3.3 Dual-Slope-Converter 14

2.3.4 Sigma-Delta-Umsetzer 16

2.4 Digital-Analog-Umsetzung 18

2.4.1 Parallel-Verfahren 18

2.4.2 R2R-Netzwerk 18

2.4.3 Zählverfahren 20

3 Versuchsaufbau 22

3.1 Vorstellung des AD-Laborboards 23

3.1.1 Spannungsversorgung 23

3.1.2 Taktgenerator 23

3.1.3 Eingang und Anti-Aliasing-Filter 24

3.1.4 Sample&Hold-Stufe 24

3.1.5 Analog-Digital-Umsetzer 25

3.1.6 Anzeige und Ausgang 25

3.2 Vorstellung des DA-Laborboards 26

3.2.1 Eingang 26

3.2.2 Digital-Analog-Umsetzer 26

3.2.3 Anti-Aliasing-Filter 27

4 Versuchsdurchführung 28

4.1 Analog-Digital-Umsetzung 28

4.1.1 Sample & Hold 28

4.1.2 Statische Fehler 29

4.1.3 SAR-Converter 30

4.1.4 Dual-Slope-Converter 30

4.1.5 Sigma-Delta-Umsetzer 30

4.1.6 Dynamische Fehler 30

4.2 Digital-Analog-Umsetzung 31

4.2.1 Statische Fehler 31

4.2.2 Dynamische Fehler des R2R-Wandlers 32

4.2.3 Zählverfahren/Pulseitenmodulation 32

4.3 Abtastung und Quantisierung 32

4.3.1 Anti-Aliasing-Filter 32

4.3.2 Quantisierungsrauschen 32

4.4 Audio-Demonstration AD- und DA-Umsetzer 33

4.5 Tabellarische Kurzübersicht der Messungen 34

Kapitel 1

Theoretische Versuchsvorbetrachtung

1.1 Einleitung

In diesem Laborversuch sollen verschiedene Verfahren zur Analog-/Digital-Umsetzung und zur Digital-/Analog-Umsetzung sowohl theoretisch als auch praktisch vorgestellt werden. Dabei werden Vor- und Nachteile einzelner Umsetzprinzipien sowie mögliche Fehlerquellen aufgezeigt und im praktischen Versuchsteil verifiziert.

Dieser Versuch legt seinen Schwerpunkt auf Messungen an Laboraufbauten und deren Interpretation. Daher ist eine gründliche Vorbereitung unbedingt notwendig!

Das vorliegende Script enthält einige Aufgaben, die **vor** dem Labortermin zu bearbeitet sind. Zum schnellen Auffinden sind diese Aufgaben im Text mit V1 - V9 gekennzeichnet. Bei der Bearbeitung möglicherweise auftretende Probleme können vor Versuchsbeginn diskutiert werden.

Die durchzuführenden Messungen sind mit M1 - M17 gekennzeichnet. Während des Versuches werden viele Messungen mit dem Oszilloskop durchgeführt und ausgedruckt. Diese Ausdrucke sollen während des Versuchs mit der jeweiligen Nummer der Messaufgabe M# und einer kurzen Notiz/Interpretation ? versehen werden, so dass bereits während der Durchführung des Labors ein Protokoll entsteht.

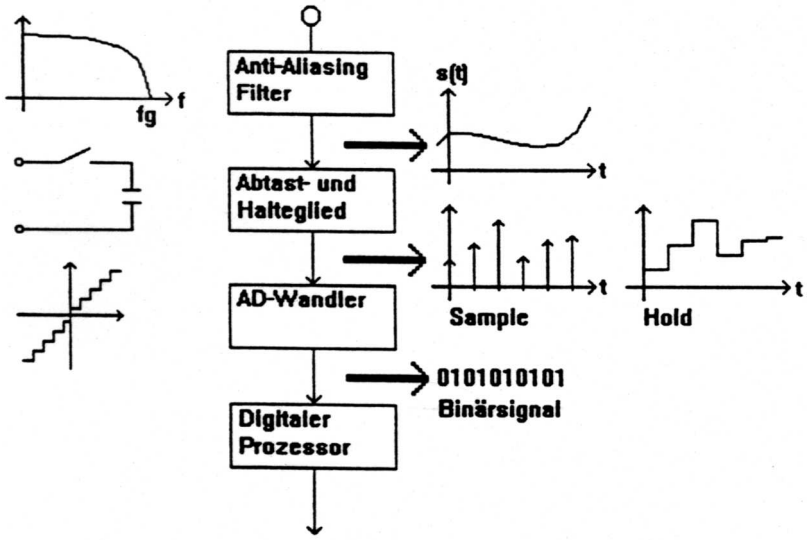


Bild 1.1: Übersicht über die Schritte bei der AD-Umsetzung

1.2 Zeit-/Amplituden-Diskretisierung

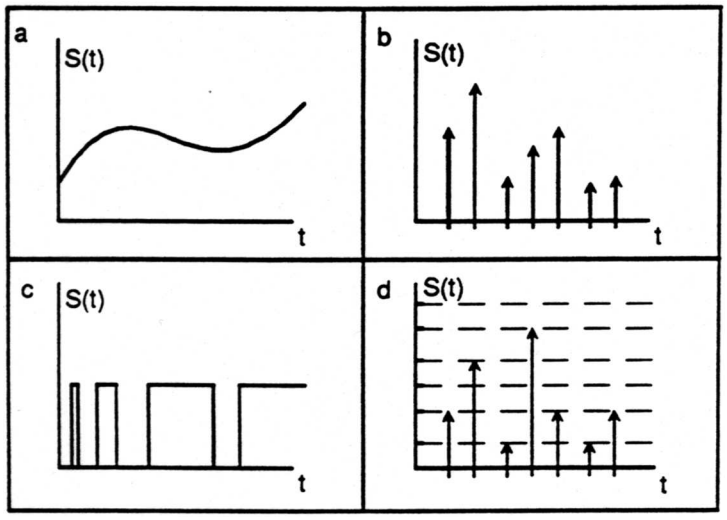


Bild 1.2: Übersicht Zeit-/Amplituden-Diskretion

Bei der Umsetzung von analogen in digitale Signale muss man grundsätzlich zwei Unterschiede berücksichtigen. Es existiert zum einen der Übergang von zeitkontinuierlichen zu zeitdiskreten Werten. Diesen Vorgang nennt man Abtastung und ist in Bild 1.2 von a nach b symbolisiert. Die Umsetzung von

wertkontinuierlichen (analogen) zu wertdiskreten Signalen heißt Quantisierung und ist im Bild 1.2 von b nach d zu betrachten.

1.3 Abtastung

Ein idealer Abtaster multipliziert ein Signal $s(t)$ mit einer Dirac-Stoßfolge, was im Frequenzbereich einer Faltung mit einer Dirac-Stoßfolge entspricht. Die Dirac-Stöße haben einen Abstand von $T = \frac{1}{f_s}$, wobei f_s die Abtastfrequenz ist.

$$s_T(t) = \sum_{k=-\infty}^{\infty} s(kT) \cdot \delta_0(t - kT) \tag{1.1}$$

Im Frequenzbereich erhält man:

$$S_T(j\omega) = \frac{1}{T} \sum_{\nu=-\infty}^{\infty} S\left(j\left(\omega - \nu\frac{2\pi}{T}\right)\right). \tag{1.2}$$

Man erkennt, dass sich das ursprüngliche Spektrum $S(j\omega)$ infolge der Abtastung periodisch an den Frequenzstellen $\pm\nu\frac{2\pi}{T}$ wiederholt. Man spricht in diesem Zusammenhang auch von Spiegelspektren. Dabei ist das ursprüngliche Spektrum im Bereich $-f_b \leq f \leq f_b$ unverfälscht vorhanden, sofern $2f_b < 1/T = f_s$ erfüllt ist. Dieser Zusammenhang wird als *Abtasttheorem* bezeichnet.

1.3.1 Abtasttheorem

Nach dem Abtasttheorem von Shannon kann ein Tiefpasssignal $s(t)$ mit der Grenzfrequenz f_b dann fehlerfrei aus seinen Abtastwerten $s(kT)$ rekonstruiert werden, wenn die Abtastfrequenz $f_s > 2f_b$ ist. Dies ist einsichtig da sich bei einem kleineren f_s die Spektren überlappen würden (Aliasing) und eine Rückgewinnung nicht mehr möglich wäre.

1.3.2 Reale Abtastung

Die Multiplikation mit einer Dirac-Stoßfolge ist nur eine theoretische Annahme. Eine reale Abtastung erhält man, wenn man die Dirac-Stoßfolge mit einem schmalen Rechtecksignal $rect(\frac{t}{\Delta T})$ (Breite ΔT) faltet. Im Frequenzbereich erhält man:

$$S_{\Delta T}(j\omega) = \frac{\Delta T}{T}\frac{\sin(\omega\Delta T/2)}{\omega\Delta T/2} \cdot \sum_{\nu=-\infty}^{\infty} S\left(j\left(\omega - \nu\frac{2\pi}{T}\right)\right). \tag{1.3}$$

Man erkennt, dass das ideale Spektrum $S(j\omega)$ durch eine Sinc- Funktion $(\frac{\sin(x)}{x})$ verzerrt ist. Der Grenzfall $\Delta T = T$ entspricht der Abtastung mit einem

Sample&Hold-Glied. Eine Korrektur ist durch ein lineares Netzwerk bei Kenntnis des Verhältnisses $\frac{\Delta T}{T}$ möglich.

1.3.3 Rückgewinnung

Mathematisch wird die Rückgewinnung des analogen Signals durch Multiplikation der Abtastfolge mit einem idealen Tiefpass im Frequenzbereich beschrieben.

Die folgenden Bilder zeigen exemplarisch einige Signale im Frequenzbereich (links) und im Zeitbereich (rechts). Das Analog-Signal ergibt sich hierbei durch Überlagerung von gewichteten Sinc-Funktionen.

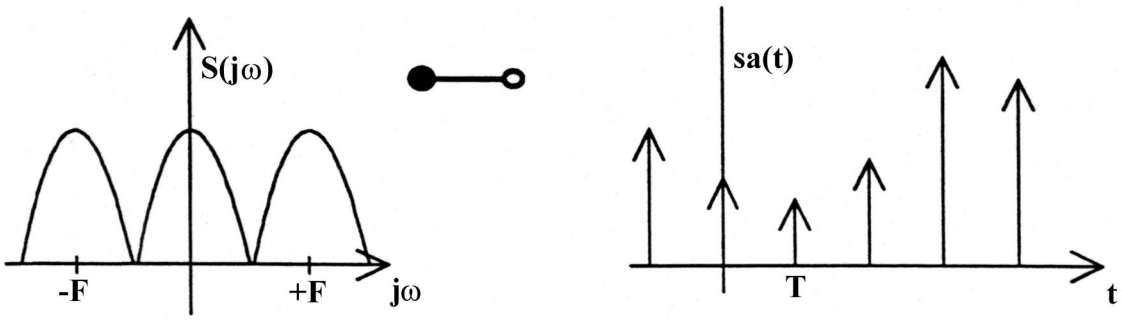


Bild 1.3: Abtastfolge

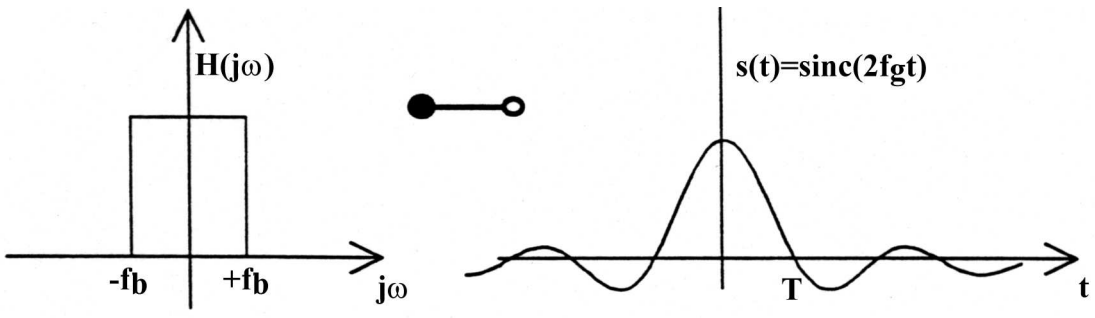


Bild 1.4: Idealer Tiefpass

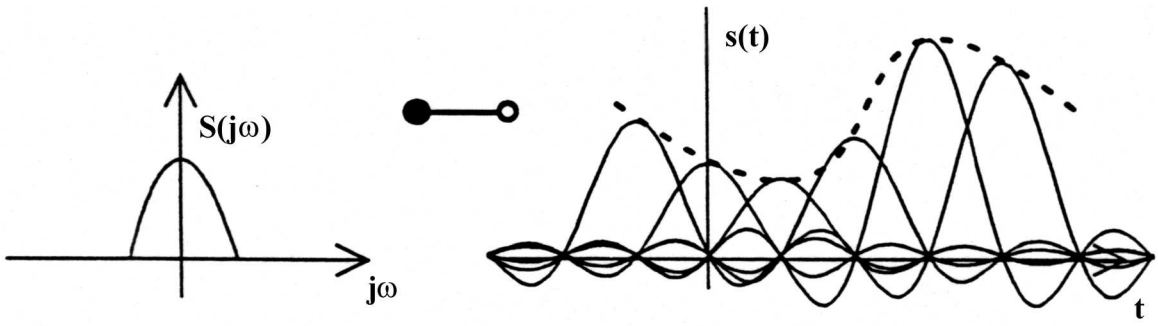


Bild 1.5: Rekonstruiertes Signal

1.3.4 Aliasing

Wählt man die Abtastrate zu gering, so überlappen sich die Spektren, was man als Aliasing bezeichnet.

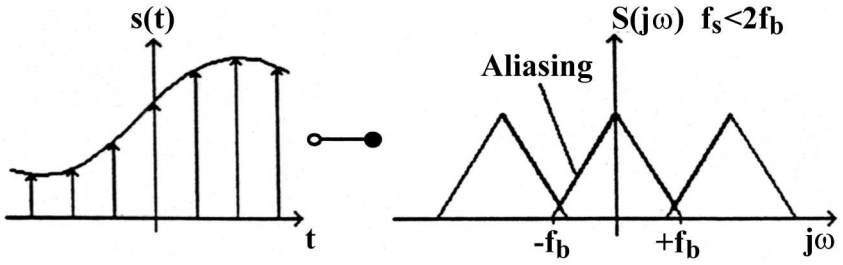


Bild 1.6: Aliasing

Im Fall der kritischen Abtastung mit $f_s = 2f_b$ wird f_s Nyquistrate genannt. Das Signal kann theoretisch durch einen idealen Tiefpass rekonstruiert werden, was praktisch aber nicht realisierbar ist.

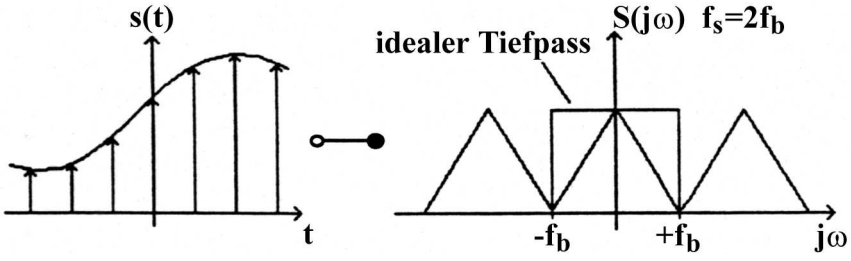


Bild 1.7: Abtastung bei Nyquistrate

Im Fall einer Überabtastung können reale Filter mit endlicher Flankensteilheit

zum Einsatz kommen.

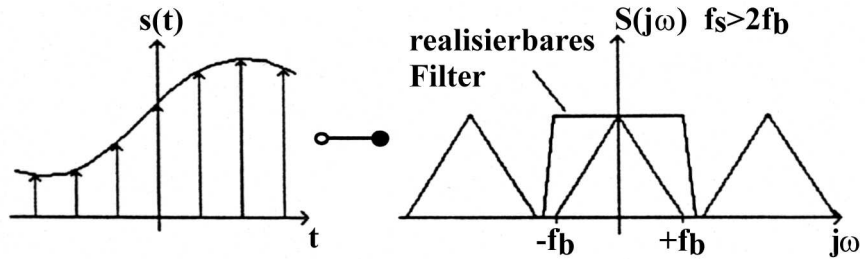


Bild 1.8: Überabtastung

1.4 Quantisierung

1.4.1 Quantisierungsrauschen

Die sog. Quantisierung bezeichnet den Übergang von beliebig fein abgestuften Signalen zu solchen, die nur einen bestimmten Wertevorrat besitzen.

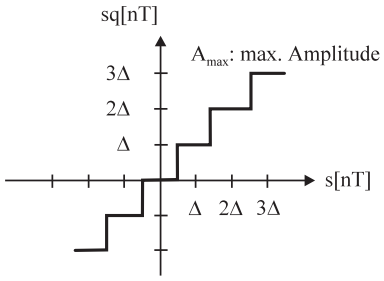


Bild 1.9: Kennlinie eines linearen Quantisierers

Die Quantisierung entspricht der Rundung des Eingangssignals auf das nächste Vielfache der Stufenbreite Δ. Außerdem wird das Eingangssignal auf den Amplitudenbereich A_{max} begrenzt. Zur Codierung eines quantisierten Signals wird eine Binärzahl mit k Stellen benötigt.

$$k = ld(\frac{A_{max}}{\Delta}) \tag{1.4}$$

Durch die Quantisierung entsteht ein Fehler $s_e(nT) = s_q(nT) - s(nT)$. Dieser Störterm ist weitestgehend mit dem Eingangssignal unkorreliert und kann als weißes Rauschen aufgefasst werden. Man erhält bei einer Stufenbreite Δ ein gleichverteiltes Zufallssignal mit der Wahrscheinlichkeitsdichte:

$$p_{s_e}(x) = \frac{1}{\Delta} rect(\frac{x}{\Delta}). \tag{1.5}$$

Aufgabe 1.4.1 *Berechnen Sie die Leistung (Moment 2.Ordnung) des Quantisierungsfehlers als Funktion von* Δ. V1

Aufgabe 1.4.2 *Berechnen Sie entsprechend die Leistung des Eingangssignals als Funktion von* A_{max} *unter der Annahme eines gleichverteilten Signals im Bereich* $-A_{max}/2$ *bis* $+A_{max}/2$ V2

Aufgabe 1.4.3 *Berechnen Sie den Signal-Rauschabstand SNR in* dB *als Funktion der Bitanzahl k mit* $A_{max} = \Delta 2^k$ V3

1.4.2 Oversampling

Betrachtet man das Spektrum des Quantisierungsrauschens, so erhält man eine rect-Funktion bis f_s. Da die Gesamtleistung des Rauschens nicht von f_s abhängt ist es einsichtig, dass bei einer Verdopplung der Abtastrate die rect-Funktion flacher und breiter wird. Man kann also durch Oversampling mit anschließender Tiefpassfilterung das Rauschen innerhalb der Signalbandbreite f_B reduzieren.

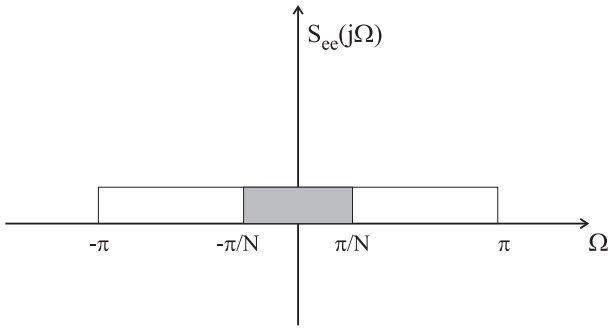


Bild 1.10: normiertes Spektrum des Quantisierungsrauschens mit n-fachem Oversampling

Jede Verdopplung der Abtastrate bewirkt eine Reduzierung der Rauschleistung im Signalband um 3dB.

Durch das Oversampling werden außerdem die Spiegelspektren weiter auseinander geschoben, so dass die Anforderungen an das Anti-Aliasing-Filter entschärft werden (s. dazu auch Abb. 1.8).

Kapitel 2

Vorstellung der Umsetzerprinzipien

Im folgenden Kapitel werden die Funktionsprinzipien der verschiedenen Bestandteile bei der Analog-Digital-Umsetzung eingehender erläutert.

2.1 Eigenschaften und Kenngrößen von AD- und DA-Umsetzer

- Auflösung

  Die Auflösung wird in Bit angegeben. Die Eingangsspannung wird bei einem k-Bit-Umsetzer in 2^k Stufen quantisiert.

- Genauigkeit

  Diese wird häufig über das SNR definiert, wobei dies theoretisch nur von k abhängt. Real ist die Präzision des gesamten Schaltkreises dafür verantwortlich.

- Statische Fehler

  Als statischer Fehler ist die totale Nichtlinearität wichtig. Sie gibt die maximale Abweichung von der idealen Kennlinie (Ausgangswerte über Eingangsspannung bei AD; Ausgangsspannung über Eingangswerte bei DA) in Prozent an. Bei AD-Umsetzer wirkt sich ein extremer Fehler in sog. Missing Codes aus. Das sind digitale Werte, die bei einem Betrieb vom Umsetzer ausgelassen werden. DA-Umsetzer können dagegen bei starker Nichtlinearität einen Monotoniefehler besitzen, d.h. obwohl der digitale Wert nach oben zählt ergibt sich keine monoton steigende Ausgangsfunktion.

- Dynamische Fehler

Zu den dynamischen Fehlern von AD-Umsetzern zählen falsche Abtastwerte bei sich ändernden Eingangssignal. Desweiteren können DA-Umsetzer kurzfristig falsche Ausgangssignale im Umschaltaugenblick zwischen zwei digitalen Werten liefern, die als Glitch bezeichnet werden.

2.2 Signalaufbereitung

2.2.1 Sample&Hold-Stufe

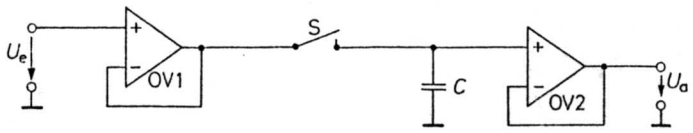


Bild 2.1: Das Sample & Hold-Prinzip

Eine Sample & Hold - Stufe ist in Bild 2.1 dargestellt. Sie liefert eine konstante Eingangsspannung während des Umsetzvorganges. Dies ist insbesondere bei sich ändernden Eingangssignalen notwendig, da verschiedene AD-Umsetzerprinzipien auf eine im Verlauf der Umsetzung wechselnde Eingangsspannung mit erheblichen Fehlern reagieren. Dies wird auch innerhalb des Labors deutlich gemacht.

Die Ausgangsspannung der Sample & Hold - Stufe soll im eingeschalteten Zustand der Eingangsspannung folgen. In dieser Betriebsart verhält sie sich also wie ein Widerstand. Im ausgeschalteten Zustand soll jedoch die Ausgangsspannung nicht Null werden, sondern es soll die Spannung im Ausschaltaugenblick gehalten werden. Diese Speicherfunktion übernimmt der Kondensator C. Wenn im Betrieb der Schalter S geschlossen ist, wird der Kondensator C auf die Eingangsspannung aufgeladen und folgt ihr.

Um eine Belastung der Eingangsspannungsquelle zu vermeiden, verwendet man einen Impedanzwandler (OV1). Er muss hohe Ausgangsströme liefern können, um die Kapazität C schnell umladen zu können.

Wenn der Schalter S geöffnet ist, soll die Spannung am Kondensator C möglichst lange unverändert erhalten bleiben. Deshalb schaltet man einen Spannungsfolger nach, der Belastungen vom Kondensator fern hält. Weiterhin muss der Schalter einen hohen Sperrwiderstand und der Kondensator eine hochwertige Isolation besitzen.

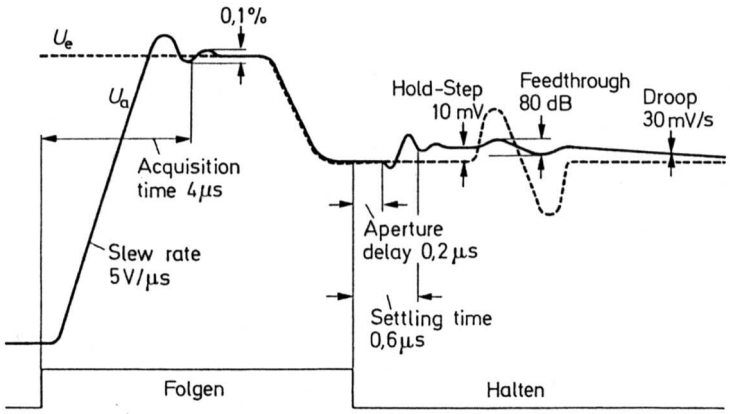


Bild 2.2: Sample & Hold Timings

Die wichtigsten dynamischen Eigenschaften einer S&H-Stufe sind in Bild 2.2 dargestellt. Wenn der Schalter geschlossen wird, steigt die Ausgangsspannung nicht sofort auf den Wert der Eingangsspannung an, sondern nur mit einer begrenzten Anstiegsgeschwindigkeit (Slew-rate). Sie wird primär durch den maximalen Strom des Eingangsimpedanzwandlers bestimmt.

Dann folgt ein Einschwingvorgang, dessen Dauer durch die Dämpfung des Impedanzwandlers und den Widerstand des Schalters bestimmt wird. Man definiert eine Einstellzeit t_E als die Zeit, die nach dem Übergang in den Folgebetrieb vergeht, bis die Ausgangsspannung mit einer vorgegebenen Toleranz gleich der Eingangsspannung ist. Wenn die Aufladung des Speicherkondensators ausschließlich durch den Innenwiderstand R_S des geschlossenen Schalters bestimmt wird, läßt sich die Einstellzeit aus der Aufladefunktion eines RC-Gliedes und der geforderten Einstellgenauigkeit berechnen, und man erhält

$$t_E = R_S C \tag{2.1}$$

Anschließend bleibt die Ausgangsspannung meist nicht auf dem gespeicherten Wert stehen, sondern es gibt einen kleinen Spannungssprung ΔU_a (Hold-Step) mit nachfolgendem Einschwingvorgang. Dieser Sprung rührt daher, dass beim Ausschalten eine geringe Ladung über die Kapazität C_S des geöffneten Schalters vom Ansteuersignal in den Speicherkondensator C gekoppelt wird.

Die Haltedrift (Drop) ist die entscheidende Größe im Speicherzustand der Sample & Hold - Stufe. Diese wird hauptsächlich durch den Eingangswiderstand des Impedanzwandlers am Ausgang und durch den Sperrstrom des Schalters bestimmt. Bei dem Entladestrom I_L ergibt sich

$$\frac{\Delta U_a}{\Delta t} = \frac{I_L}{C} \tag{2.2}$$

Die Güte der Sample & Hold - Stufe im Haltezustand wächst also mit größerer

Kapazität C, während im Folgebetrieb kleinere Werte für C günstiger sind. Es muss also in Abhängigkeit von dem Verwendungszweck ein schaltungstechnischer Kompromiss gefunden werden.

2.3 Analog-Digital-Umsetzung

2.3.1 Flash-Converter

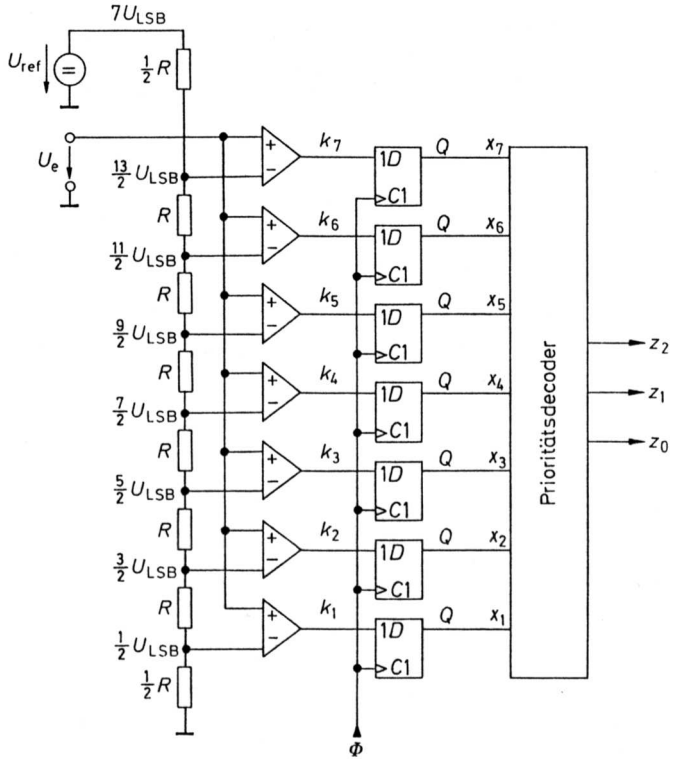


Bild 2.3: Prinzip des Flash-Converters

Bei diesem AD-Umsetzerprinzipien wird innerhalb eines einzigen Schrittes die analoge Eingangsspannung quantisiert. Dazu wird der Eingangswert mit $2^k - 1$ Referenzspannungen verglichen.

Der Flash-Converter bzw. Parallelumsetzer mit einer Auflösung von 3-Bit ist in Abbildung 2.3 dargestellt.

Das Widerstandsnetzwerk erzeugt aus einer Spannungsquelle die notwendigen Referenzspannungen. Jede Referenzspannung wird über einen Komparator mit dem analogen Eingangswert verglichen. Der Prioritätsdekoder bestimmt dann aus den Komparatorwerten den digitalen Wert, indem er die Position des ersten gesetzten Bits ausgibt.

Die dem Dekoder vorgeschalteten D-Flip-Flops dienen der Zwischenspeicherung der Komparatorausgänge, damit Schwankungen der Eingangsspannung keine Fehler hervorrufen.

Ein Flash-Converter besitzt eine hohe Umsetzgeschwindigkeit und die Möglichkeit, anstelle einer analogen Sample&Hold-Stufe ein digitales Halteglied einzusetzen. Der schaltungstechnische Aufwand ist jedoch recht hoch, da $2^k - 1$ Referenzspannungen mit jeweils einem Komparator und einem Widerstand zur Verfügung gestellt werden müssen.

Auf dem AD-Board ist ein diskret aufgebauter Flash-Converter mit einer Auflösung von vier Bit realisiert. Die dazu nötigen 15 Komparatoren sind mit vier vierfach Operationsverstärkern umgesetzt. Der Prioritätsdekoder ist in ein GAL implementiert. Auf die digitale Halte-Stufe wurde hier verzichtet. Um den Eingangswert konstant zu halten, wird lediglich die analoge Sample&Hold-Stufe verwendet.

2.3.2 SAR-Converter

In diesem AD-Umsetzerprinzip wird durch schrittweise Annäherung (Successive Approximation) der digitale Wert ermittelt.

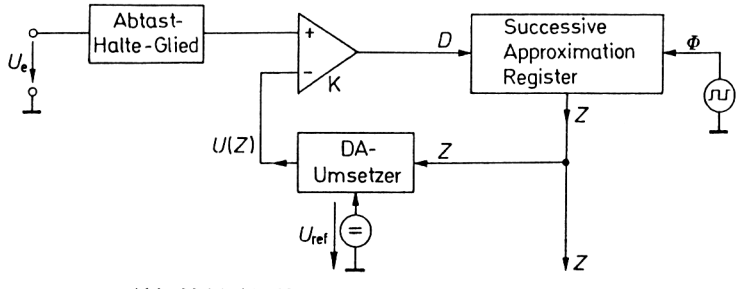


Bild 2.4: Aufbau des SAR-Converters

Abbildung 2.4 zeigt den schematischen Aufbau des SAR-Converters.

Zu Messbeginn wird der Ausgang Z des SAR auf Null gesetzt. Dann wird das höchstwertige Bit (MSB) auf Eins gesetzt. Der DA-Umsetzer setzt den SAR-Ausgang wieder in eine analoge Spannung zurück, die über den Komparator mit dem Eingangssignal verglichen wird. Ist der Komparatorausgang HIGH so bleibt das bearbeitete Bit gesetzt, sonst wird es gelöscht.

Dieser Vorgang wird für alle Bits durchgeführt, so dass nach Bestimmen des niederwertigsten Bits (LSB) der digitale Wert am Ausgang des Successive Approximation Register anliegt.

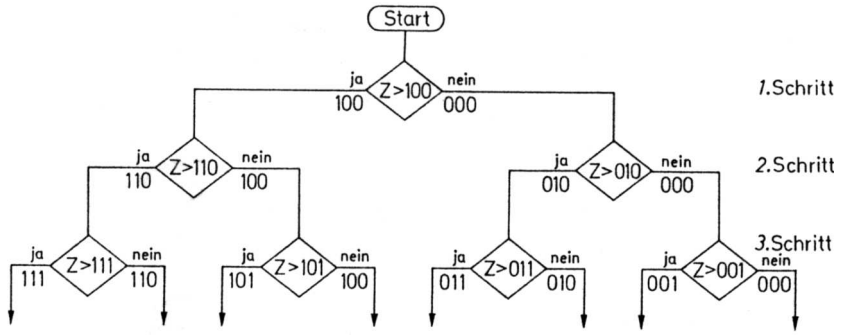


Bild 2.5: Flussdiagramm des SAR-Converters

Das Flussdiagramm der Approximation bei einer Auflösung von drei Bit ist in Abbildung 2.5 dargestellt. Die Schrittanzahl ist hierbei von der geforderten Bit-Anzahl abhängig und immer gleich.

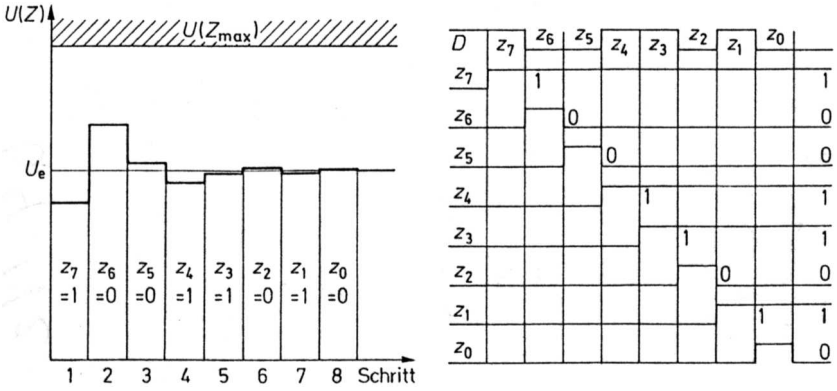


Bild 2.6: Beispiel einer Umsetzung

Der zeitliche Verlauf der umgesetzten Vergleichsspannung U(Z) und dem SAR-Ausgang Z wird in Abbildung 2.6 für eine Auflösung von acht Bit gezeigt.

Aufgabe 2.3.1 *Zeichnen Sie den zeitlichen Verlauf von U(Z) und Z gemäß der Abbildung 2.6 für ein Eingangssignal von U_e=3,8V und 4 Bit Auflösung. Dabei sind Eingangswerte von 0 bis 5V möglich.* V4

Die Vorteile des SAR-Verfahrens liegen in der guten Umsetzgeschwindigkeit und dem geringen Komplexitätszuwachs des Umsetzers bei steigender digitaler Auflösung.

Der SAR-Converter reagiert empfindlich auf schwankende Eingangssignale. Daher ist eine Sample&Hold-Stufe zwingend notwendig. Besitzt der DA-Umsetzer Monotonie-Fehler, kann es zu Missingcodes kommen. Dies bedeutet, dass der

SAR-Converter nicht alle möglichen Codeworte unabhängig vom Eingangssignal ausgibt.

Auf dem AD-Board ist das Successive Approximation Register, d.h. die Steuerlogik in einem GAL implementiert. Zur DA-Umsetzung kommt der gleiche Umsetzer-Typ zum Einsatz, der auch auf dem DA-Board als Referenz verwendet wird.

2.3.3 Dual-Slope-Converter

Beim Dual-Slope-Converter wird nach dem Doppel-Rampen-Verfahren der zu messende Analogwert in eine proportionale Zeit übersetzt. Für die Dauer dieser Zeit wird ein digitaler Zähler mit einem Referenztakt betrieben. Nach Ablauf der Zeit zeigt dann der Zähler den digitalen Wert der Eingangsspannung an.

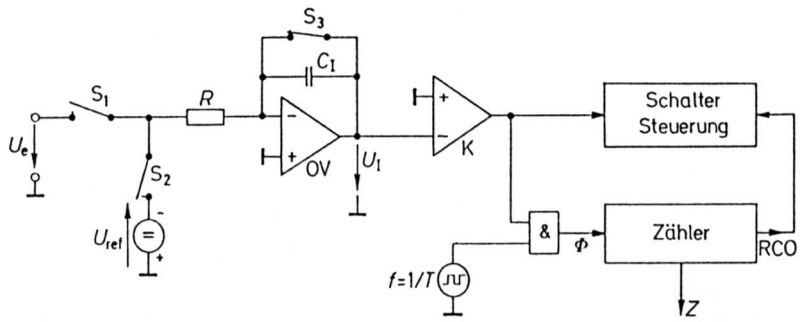


Bild 2.7: Dual-Slope-Verfahren

Der Aufbau des Dual-Slope-Verfahrens wird in Abbildung 2.7 beschrieben. Im Anfangszustand sind die Schalter S_1 und S_2 geöffnet, Schalter S_3 ist geschlossen. Die Ausgangsspannung des Integrators ist dadurch Null.

Bei Beginn der Messung wird der Schalter S_3 geöffnet und S_1 geschlossen, der Zähler wird auf Null zurückgesetzt. Die Eingangsspannung U_e wird somit integriert. Ist U_e positiv wird der Integratorausgang negativ und der nachfolgende Komparator gibt den Takt an den Zähler frei. Diese Messung dauert an, bis der Zähler überläuft und wieder auf Null steht. Die Ausgangsspannung des Integrators beträgt nun

$$U_1(t_1) = -\frac{1}{\tau}\int_0^{t_1} U_e\,dt = -\frac{\bar{U}_e}{\tau}(Z_{max}+1)T. \tag{2.3}$$

Die Schaltersteuerung sorgt dafür, dass auf die negative Referenzspannung U_{ref} umgeschaltet wird, dazu muss Schalter S_1 geöffnet und S_2 geschlossen werden. Durch die negative Referenzspannung verringert sich der Betrag der

Integratorausgangsspannung bis sie wieder Null erreicht, wie in Abbildung 2.8 zu sehen ist.

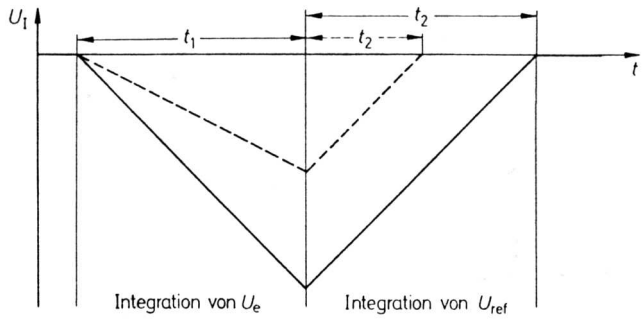


Bild 2.8: Dual-Slope-Timing

Der Komparator stoppt dann den Zähler im Nulldurchgang der Integratorspannung, der nach der Zeit t_2 erreicht ist.

$$t_2 = ZT = \frac{\tau}{U_{ref}} |U_1(t_1)| \tag{2.4}$$

Mit Gleichung 2.3 ergibt sich das Ergebnis

$$Z = (Z_{max} + 1) \frac{\bar{U}_e}{U_{ref}} \tag{2.5}$$

Aus dieser Gleichung ist zum einen ersichtlich, dass das Ergebnis weder von der Taktfrequenz noch von der Zeitkonstanten τ abhängig ist. Zum anderen geht der Momentanwert der Eingangsspannung nicht in das Endergebnis ein, sondern nur der Mittelwert über die Messzeit t_1. Wechselspannungen am Eingang werden um so stärker abgeschwächt, je höher ihre Frequenz ist. Bei einem ganzzahligen Vielfachen von $1/t_1$ werden sie sogar vollständig unterdrückt.

Das Dual-Slope-Verfahren erzielt mit einem geringen Aufwand eine hohe Genauigkeit und Störunterdrückung, hat als Nachteil aber eine relativ große Umsetztdauer.

Die praktische Umsetzung des Dual-Slope-Verfahrens auf dem AD-Board erfolgt mit einem zweifach Operationsverstärker für den Integrator und den Komparator, der Zähler und die Schaltersteuerung sind in einem GAL realisiert. Für die Schalter S_1, S_2 und S_3 wird ein integrierter vierfach CMOS-Analogschalter verwendet. Die Ausgangsspannung des Integrators liegt an der BNC-Buchse SLOPE an, der Ausgang des Komparators kann an K-OUT abgegriffen werden.

2.3.4 Sigma-Delta-Umsetzer

An dieser Stelle soll ein modernes Umsetzerkonzept beschrieben werden, das sich in mehrfacher Hinsicht von den anderen Umsetzerprinzipien unterscheidet. Er wird im Labor nicht praktisch aufgebaut.

Klassische Umsetzerprinzipien erfordern hohe Genauigkeiten bei den analogen Komponenten. Genauigkeiten bis 8 Bit lassen sich einfach erreichen. Höhere Auflösungen erfordern einen erheblichen Aufwand (z.B. lasergetrimmte Widerstände). Durch eine Erhöhung der Abtastrate kann die Genauigkeit verbessert werden (Oversampling-Converter). Allerdings ist für Audio-Anwendungen der SNR-Wert von -98dB (20kHz/16Bit) mit einem 8-Bit-Umsetzer nur bei einem $f_s = 2,64GHz!$ oder mit einem 12-Bit-Umsetzer bei einem $f_s = 10MHz$ erreichbar!

Diese hohen Abtastraten können durch Sigma-Delta-Umsetzer reduziert werden. Durch den Einsatz moderner digitaler Signalverarbeitung kann der analoge Aufwand stark verringert werden. Solche Umsetzer lassen sich gut als integrierte Schaltung herstellen.

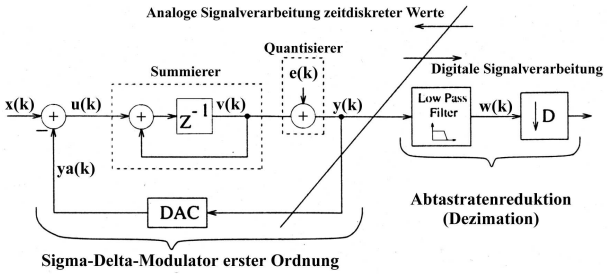


Bild 2.9: Sigma-Delta-Umsetzer 1.Ordnung

Das Grundprinzip des Sigma-Delta-Umsetzers ist, dass die Differenz des internen quantisierten Wertes zum Eingang gebildet wird (Delta) und dann integriert bzw. summiert wird (Sigma). Der einfachste Sigma-Delta-Umsetzer enthält einen 1-Bit Quantisierer also einen Komparator. Das Signal Y gibt dann an, ob der Eingang höher oder niedriger als der interne Integrator ist. Das Ausgangssignal erhält man durch einen Tiefpass mit abschließender Abtastratenreduktion.

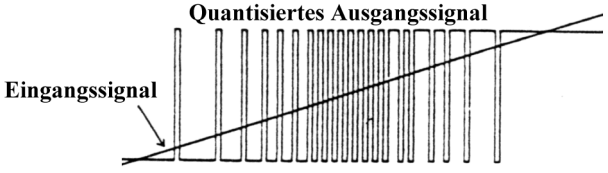


Bild 2.10: Rampenantwort eines Sigma-Delta-Converters 1.Ordnung

Aus Abb. 2.9 kann die Differenzengleichung für $y(k)$ abgelesen werden:

$$y(k) = x(k-1) + e(k) - e(k-1) \tag{2.6}$$

$e(k)$ beschreibt den Quantisierungsfehler.

Im Frequenzbereich erhält man:

$$Y(z) = X(z)z^{-1} + E(z)(1 - z^{-1}) \tag{2.7}$$

Betrachtet wird hier das Quantisierungsrauschen $E(z)$ im Frequenzbereich. Offensichtlich wird das Rauschsignal differenziert, so dass Anteile mit niedrigen Frequenzen unterdrückt und hochfrequente Anteile verstärkt werden. Bild 2.11 zeigt diesen Zusammenhang graphisch. Es findet ein sogenanntes Noise-Shaping statt, d.h. das Rauschen wird gezielt in den hochfrequenten Bereich verschoben, wo es durch das digitale Tiefpass-Filter stark gedämpft wird! Das Eingangssignal wird dagegen lediglich verzögert.

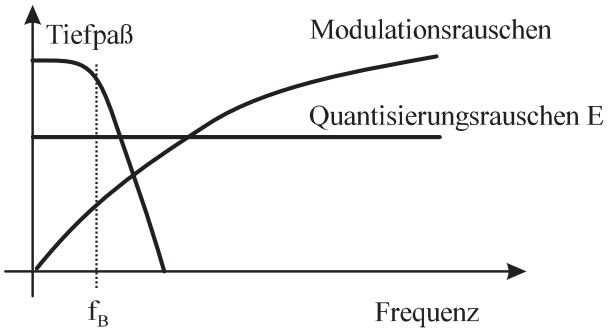


Bild 2.11: Spektrale Verteilung der Rauschleistung

Die Leistung des Störsignals im Nutzband σ_{ey}^2 beträgt:

$$\sigma_{ey}^2 \approx \sigma_e^2 \frac{\pi^2}{3} \left(\frac{2f_B}{f_s}\right)^3 \tag{2.8}$$

σ_e^2 ist die Leistung des Quantisierungssignals $e(k)$.

Aufgabe 2.3.2 *Leiten Sie diese Formel her.*[1] V5

Für das SNR gilt dann

$$SNR = 10log(\sigma_x^2) - 10log(\sigma_e^2) - 10log\left(\frac{\pi^2}{3}\right) + 30log\left(\frac{f_s}{2f_B}\right) \quad \text{dB} \tag{2.9}$$

[1] Verwenden Sie dazu die Näherung $\sin x = x$. Warum ist diese Näherung hier zulässig?

und mit $\frac{f_s}{2f_B} = 2^r$ gilt

$$SNR = 10log(\sigma_x^2) - 10log(\sigma_e^2) - 10log\left(\frac{\pi^2}{3}\right) + 9,03r \quad \text{dB}. \tag{2.10}$$

Jede Verdoppelung der Abtastfrequenz bewirkt eine Verbesserung des SNR um 9dB (entspricht 1,5 Bit).

Mit dieser Technik würde der oben erwähnte 20kHz/16Bit-HiFi-Converter eine Frequenz von 96,78 MHz benötigen. Durch den Einsatz von Sigma-Delta-Modulatoren höherer Ordnung und Multilevel-Quantisierer können die Leistungsdaten noch einmal erheblich verbessert werden.

2.4 Digital-Analog-Umsetzung

2.4.1 Parallel-Verfahren

Bei der DA-Umsetzung im Parallel-Verfahren (Abbildung 2.12), werden mit einem Spannungsteiler alle 2^k Ausgangsspannungen zur Verfügung gestellt. Ein 1-aus-n-Decoder schließt dann den Schalter, dem die gewünschte Ausgangsspannung zugeordnet ist.

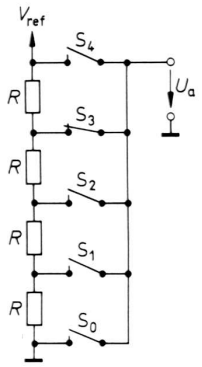


Bild 2.12: Prinzip des Parallel-Verfahrens

Die Struktur des Parallel-Verfahrens ist relativ einfach, es werden allerdings 2^k Schalter benötigt.

2.4.2 R2R-Netzwerk

Bei der DA-Umsetzung im Widerstandsnetzwerk werden dem digitalen Stellenwert entsprechende Ströme zugeordnet. Die Summe dieser Ströme ergibt dann den analogen Ausgangswert.

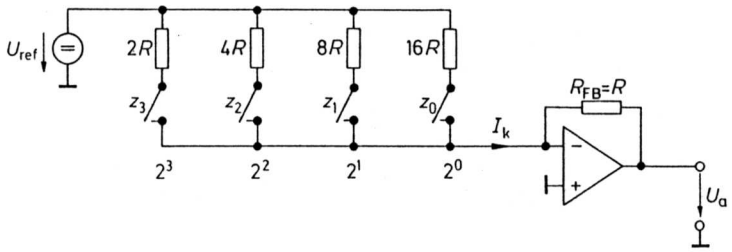


Bild 2.13: Summation gewichteter Ströme

Das Prinzip eines DA-Umsetzers nach dem R2R-Verfahren beruht auf der in Abbildung 2.13 gezeigten Summation gewichteter Ströme. Hier sind die Widerstände sind so gewählt, das durch sie bei geschlossenem Schalter ein dem betreffenden Stellenwert entsprechender Strom fließt. Die Schalter werden geschlossen, wenn die jeweilige Stelle im digitalen Wert logisch Eins ist. Der Operationsverstärker hält den Summationspunkt durch seine Gegenkopplung auf Nullpotential, so dass sich die Teilströme nicht gegenseitig beeinflussen.

Die Ausgangsspannung ergibt sich wie folgt

$$U_a = -\frac{1}{16} U_{ref}(8z_3 + 4z_2 + 2z_1 + z_0) = -U_{ref}\frac{Z}{(Z_{max}+1)}. \qquad (2.11)$$

Die in Abbildung 2.13 dargestellte Schaltung birgt für die praktische Umsetzung mehrere Nachteile. Zum einen wird die Referenzspannungsquelle bei verschiedenen Schalterkonstellationen mit unterschiedlichen Strömen belastet, was durch den Innenwiderstand der Quelle zu Fehlern führen kann.

Solange die Schalter geöffnet sind, liegen sie auf V_{Ref}-Potential, wenn sie geschlossen sind, auf Null-Potential. Beim Schalten müssen dann jedesmal die parasitären Kapazitäten der Schalter umgeladen werden.

Außerdem ist in der Mikroelektronik die Realisierung genauer Widerstände nur schwer möglich. Einfacher hingegen ist die Produktion von Widerständen mit gleichen Werten (Paargenauigkeit).

Diese Nachteile lassen sich durch einen geschickten Aufbau des Widerstandsnetzwerkes und durch die Verwendung von Umschaltern kompensieren. Das daraus resultierende R2R-Netzwerk ist in Abbildung 2.14 dargestellt.

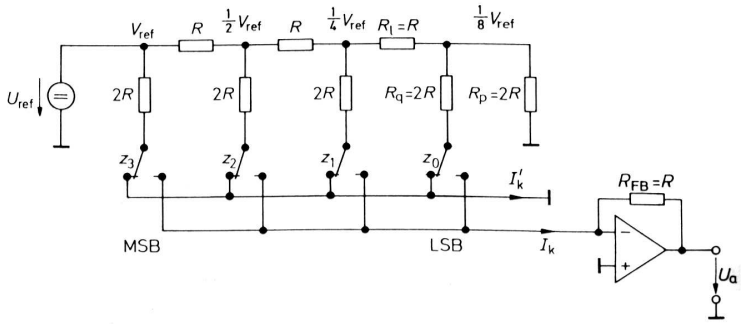


Bild 2.14: R2R-Leiternetzwerk

V6 **Aufgabe 2.4.1** *Leiten Sie das in Abbildung 2.14 gezeigt R2R-Netzwerk aus dem Widerstandsnetzwerk in Abbildung 2.13 her.*

Der Vorteil des R2R-Verfahrens gegenüber dem Parallelverfahren liegt hauptsächlich im geringeren Schaltungsaufwand. Nachteilig sind allerdings die Glitches, die durch ein zeitversetztes Arbeiten der Schalter entstehen können. Z.B. könnte beim Wechseln von 0111 auf 1000 der Schalter für das MSB schneller einschalten, als die übrigen drei ausschalten. Dies würde kurzfristig zu dem Zustand 1111 führen und als störender Umschalt-Peak auf dem Oszilloskop sichtbar werden.

Auf dem DA-Board ist ein diskretes R2R-Leiternetzwerk aufgebaut, die Schalter sind durch integrierte CMOS-Analogschalter realisiert. Zur Summation der Ströme wird ein zweifach Operationsverstärker verwendet, dessen zweiter OP zur Invertierung des negativen Ausgangssignals benutzt wird.

2.4.3 Zählverfahren

Beim Zählverfahren wird ein digitaler Wert in ein pulsweitenmoduliertes Signal umgesetzt, dessen zeitlicher Mittelwert den analogen Ausgabewert ergibt.

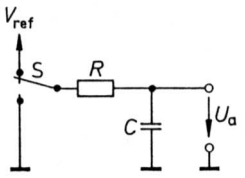


Bild 2.15: Funktionsschema Zählverfahrens

Der prinzipielle Aufbau des Zählverfahrens ist in Abbildung 2.15 dargestellt.

Die Ausgangsspannung wird für eine dem digitalen Wert proportionale Zeit auf V_{Ref} geschaltet, d.h. ein kleiner Wert erzeugt einen kurzen Impuls, ein größerer Wert einen entsprechend längeren. U_a wird also zwischen V_{Ref} und Nullpotential umgeschaltet, und es entsteht ein pulsweitenmoduliertes Signal.

Der nachgeschaltete Tiefpass bildet dann den gewünschten Analogwert.

Vorteil dieses Umsetzerprinzips ist seine einfache Struktur, die lediglich einen einzigen Umschalter benötigt. Der Tiefpass muss hingegen sehr exakt dimensioniert sein und bei der Abtastrate f_s eine hohe Flankensteilheit aufweisen. Diese Anforderungen reduzieren sich wieder, wenn der Umsetzer mit einem höheren Takt (Oversampling) betrieben wird. Das Filter muss immer auf die Abtastfrequenz abgestimmt sein.

Auf dem DA-Board ist die Schaltersteuerung des Zählverfahrens durch ein GAL realisiert. Der Schalter selbst wurde durch ein Operationsverstärkernetzwerk ersetzt, dass den TTL-Pegel auf exakt 5V und 0V wandelt.

Kapitel 3

Versuchsaufbau

Der Versuchsaufbau besteht aus zwei Laborboards, die über ein Kabel mit Steuersignalen und Versorgungsleitungen miteinander verbunden sind. Das erste Board bietet drei unterschiedliche Umsetzverfahren und einen Referenzumsetzer zur Analog-Digital-Umsetzung. Es ist mit Laborboard Analog-Digital-Umsetzung bezeichnet und wird im folgenden AD-Board genannt. Das zweite Board bietet zwei diskrete Umsetzerverfahren und eine Referenz zur Digital-Analog-Umsetzung und trägt die Überschrift Laborboard Digital-Analog-Umsetzung und wird im weiteren Verlauf mit DA-Board bezeichnet. Weiter kommen ein Zweikanal-Speicher-Oszilloskop und eine Multimessstation mit Funktionsgenerator und Spannungsversorgung zum Einsatz. Zur Ein- und Ausgabe von Audiosignalen werden ein CD-Player und ein Lautsprecher verwendet.

3.1 Vorstellung des AD-Laborboards

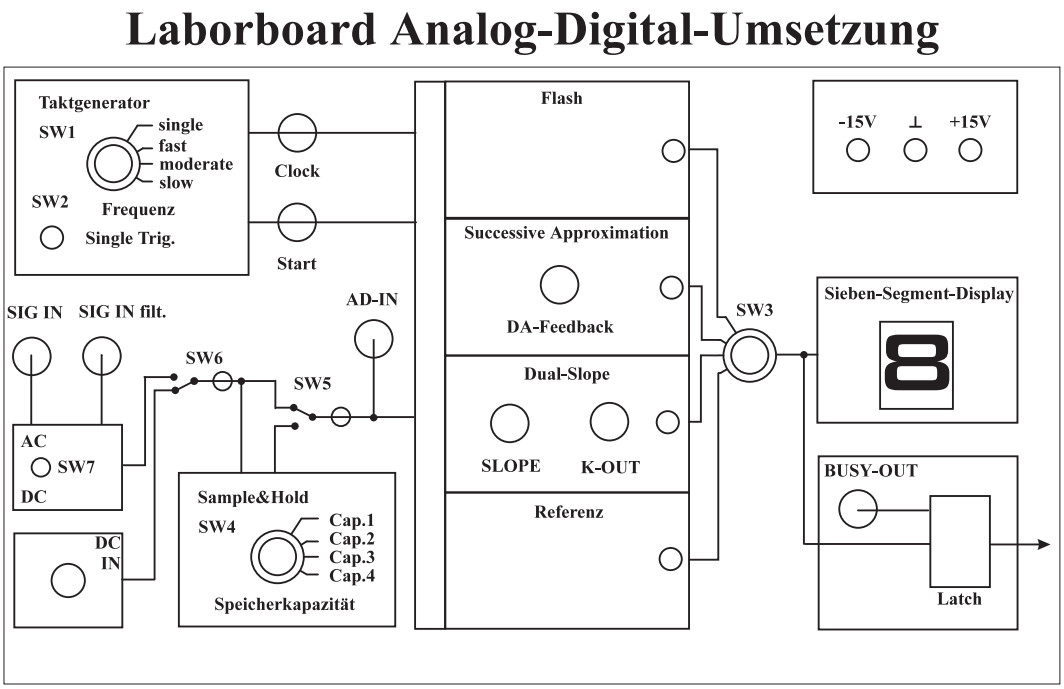


Bild 3.1: Funktionsschema AD-Board

3.1.1 Spannungsversorgung

Die erste Funktionsgruppe rechts oben auf dem Board ist die Spannungsversorgung, die mit den Spannungen +15V, 0V und -15V über Buchsen gespeist wird. Im Spannungsteil werden aus diesen Versorgungspannungen zusätzlich +6V, +5V, -1V und -5V erzeugt.

Das DA-Board hat keine eigene Spannungsversorgung und wird über das Verbindungskabel versorgt.

3.1.2 Taktgenerator

Die zweite Funktionsgruppe ist der Taktgenerator im Bereich links oben auf dem AD-Board. Über den Drehschalter SW1 können drei verschiedene Taktgeschwindigkeiten eingestellt werden. In der vierten Stellung 'Single' wird über den Taster SW2 eine manuelle Triggerung vorgenommen. An den BNC-Buchsen stehen der Takt und der Startimpuls für die AD-Umsetzung zur Verfügung.

SW1	f_{clock}	f_s
manual	0,2 Hz	Taster SW2
fast	125kHz	15,6kHz
moderate	61Hz	2Hz
slow	7,5Hz	0,2Hz

Tabelle 3.1: Funktionen von Schalter 1

Die Frequenz f_{clock} wird zum Betrieb einiger Umsetzer benötigt und ist zumeist das 32fache der Abtastfrequenz f_s.

Der Taktgenerator auf dem AD-Board besteht aus einem 1MHz Quarzoszillator, zwei Binärzählern und einem GAL. Das GAL erzeugt neben dem Takt noch den Triggerimpuls für die Sample&Hold-Stufe und ein Busy-Signal für den Flash-Converter, da dieser selbst kein solches erzeugt.

Auf dem DA-Board benötigte Takte werden ebenfalls hier generiert und über das Verbindungskabel übertragen.

3.1.3 Eingang und Anti-Aliasing-Filter

Die Eingänge des AD-Boards befinden sich mittig auf der linken Seite . Das Eingangssignal kann einerseits über die BNC-Buchse SIG-IN eingespeist werden. Die Buchse SIG-IN filt. ist ein zweiter Eingang, dem ein Anti-Aliasing-Filter nachgeschaltet ist. Alternativ kann mit Hilfe des Potentiometers DCIN eine Gleichspannung im Bereich von 0 bis 5V generiert werden. Mit dem Schalter SW6 kann zwischen diesen beiden Funktion gewechselt werden. Weiterhin ist mit SW7 eine Entkopplung (AC) für den Eingang SIG-IN filt. zuschaltbar. Die Schalterstellung DC umgeht diese Funktion.

3.1.4 Sample&Hold-Stufe

Unterhalb des Signaleinganges befindet sich die Sample&Hold-Stufe, deren Speicherkapazität über den Drehschalter SW4 in vier Schritten variiert werden kann.

Tabelle 3.2: Funktionen von Schalter 4

Stellung	Wert
Cap.1	100p
Cap.2	1n
Cap.3	10n
Cap.4	100n

An der BNC-Buchse S&HOUT kann das Ausgangssignal der Sample&Hold-Stufe abgegriffen werden. Mit dem Schalter SW5 kann die Sample&Hold-Stufe überbrückt werden, so dass das Eingangssignal direkt an die Umsetzer gelegt wird. Für den diskreten Aufbau der Sample&Hold-Stufe auf dem AD-Board wurden bewusst nicht optimale Bauteile eingesetzt, um Schwächen und Fehlerquellen deutlicher darzustellen.

3.1.5 Analog-Digital-Umsetzer

In der Mitte des AD-Boards sind die vier AD-Umsetzer übereinander angeordnet. Die Eingänge der Umsetzer sind durch Spannungsfolger voneinander getrennt. Das zu verwendende Umsetzer-Verfahren, kann über den Drehschalter SW3 selektiert werden, der Betrieb wird durch eine grüne Leuchtdiode angezeigt.

Oben ist der Flash-Converter platziert, darunter befindet sich der SAR- Converters. Bei der Successive Approximation kann über die BNC-Buchse DA-FEEDBACK die Spannung U(Z) des DA-Umsetzers abgegriffen werden. Darunter ist der Dual-Slope-Converter angeordnet. Während der Dual-Slope-Umsetzer in Betrieb ist, liegen an der BNC-Buchsen SLOPE der Integratorausgang und an Buchse K-OUT der Komparatorausgang an.

Unten ist der Referenz-AD-Umsetzer angebracht. Als Referenz wird ein integrierter AD-Umsetzer verwendet, der mit einer Auflösung von acht Bit arbeitet. Die restlichen Verfahren wurden diskret aufgebaut und besitzen eine Auflösung von vier Bit.

3.1.6 Anzeige und Ausgang

Im Bereich rechts unter der Spannungsversorgung wird das digital umgesetzte Signal auf einem Sieben-Segment-Display angezeigt. Über ein Latch wird das digitale Signal dann durch das Verbindungskabel an das DA-Board übergeben.

Im Latch wird der digitale Wert zwischengespeichert und bleibt am Ausgang anliegen, bis die gerade laufende Umsetzung abgeschlossen ist und ein neuer Wert vorliegt, der dann übernommen wird. Die AD-Umsetzer geben während des Umsetzvorgangs ein low-aktives Busy-Signal aus, das auch an der BNC-Buchse BUSY-OUT abgegriffen werden kann. Ist also das Busy-Signal gesetzt, wird der Digitalwert gespeichert.

Das Sieben-Segment-Display wurde gezielt vor dem Latch installiert, damit der Umsetzprozeß optisch verfolgt werden kann.

3.2 Vorstellung des DA-Laborboards

Das DA-Board erhält seine Spannungsversorgung und den Takt durch das Verbindungskabel vom AD-Board.

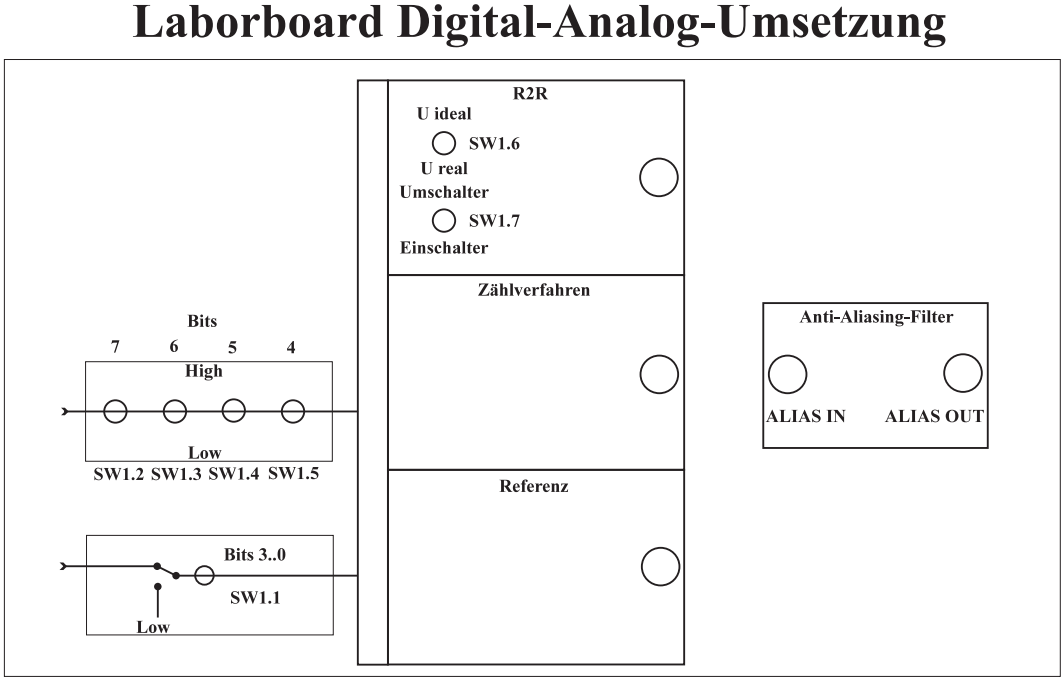


Bild 3.2: Funktionsschema DA-Board

3.2.1 Eingang

Der Eingangsbereich des DA-Boards befindet sich in der linken unteren Ecke. Die vier oberen Bits des vom AD-Board kommenden digitalen Signals können über die Schalter SW1.2 bis SW1.5 durchgeschaltet (Schalter in Mittelstellung) oder auf HIGH bzw. LOW gesetzt werden. Die unteren vier Bits werden nur vom Referenzumsetzer verwendet und können mit dem Schalter SW1.1 durchgeschaltet oder auf LOW gesetzt werden.

3.2.2 Digital-Analog-Umsetzer

In der Mitte des Boards befinden sich die zwei DA-Umsetz-Verfahren und die Referenz. Die Ausgänge der Umsetzer können über die BNC-Buchsen R2R, Zählverfahren und Referenz abgegriffen werden. Die Verfahren arbeiten gleichzeitig, so dass zwischen ihnen nicht umgeschaltet werden muss.

3.2.3 Anti-Aliasing-Filter

Soll der Anti-Aliasing-Filter nachgeschaltet werden, können die Ausgänge der Umsetzer mit der BNC-Buchse ALIAS IN verbunden werden. Das analoge Ausgangssignal liegt dann an der BNC-Buchse ALIAS OUT an.

Kapitel 4

Versuchsdurchführung

In diesem Skriptteil wird die praktische Beschreibung der im Nachrichtentechnik-Labor durchzuführenden Aufgaben gegeben. Auch dieser Teil des Skripts ist vollständig vor dem Labortermin durchzuarbeiten. Aufgabenteile, die theoretisch zu lösen sind, werden vorbereitet zum Termin mitgebracht, damit Fragen und Probleme zu Beginn besprochen werden können und der Versuch reibungslos und zügig abgeschlossen werden kann.

Für das Abspeichern/Drucken der aufgenommen Oszilloskopbilder ist es hilfreich, eine MS- DOS-formatierte 3,5-HD-Diskette mitzubringen.

4.1 Analog-Digital-Umsetzung

4.1.1 Sample & Hold

In diesem Versuchsteil wird die Sample&Hold-Stufe dimensioniert und die Problematik bei der dabei notwendigen Auswahl der Speicher-Kapazität deutlich gemacht.

Geben Sie hierzu ein Sinus-Signal in den Eingang der Sample&Hold-Stufe. Stellen Sie nun Eingangssignal nach dem Anti-Aliasing-Filter und das Ausgangssignal der Sample&Hold-Stufe (S&H-OUT) auf dem entsprechend eingestellten Oszilloskop dar.

Führen Sie mit dem Scope folgende Messungen aus und beantworten Sie die entsprechenden Fragen:

M1
4 Scope Bilder
?

- Slew-rate: Vergleichen Sie für alle 4 Kapazitäten das Eingangssignal der Sample&Hold-Stufe mit ihrem Ausgangssignal. Wird während des Sample-Zeitfensters der Eingangswert erreicht?

M2
4 Werte

- Slew-rate: Bestimmen Sie für alle 4 Kapazitäten mit Hilfe einer Cur-

sormessung die Slew-Rate in V/s.

- Drop: Bestimmen Sie wenn möglich die Haltedrift für alle 4 Kapazitäten. Ist ein signifikanter Abfall des Signals während der Hold-Phase erkennbar? M3 4 Werte
- Hold-step: Versuchen Sie, einen Hold-Step sichtbar zu machen und zeichen Sie das Bild auf. M4 1 Scope Bild

Für die Betrachtung der Slew-rate und den Hold-step ist eine Einstellung von Takt auf ¨fast¨ (Abtastfrequenz 15,6kHz) mit einem Eingangssignalfrequenz von 2kHz, einem Offset von 2,5V und einer Amplitude von 2,5V sinnvoll. Zur Ermittlung des Drop-Effekts wird eine Eingangsfrequenz von 0,5Hz und Takt=moderate eingestellt. Der Schalter SW7 muss bei diesen Einstellungen auf DC-Einkopplung stehen.

Schätzen Sie mit einer kurzen Rechnung die Slew-Rate ab, die maximal benötigt wird, um einem Sinussignal ($2\,\mathrm{kHz}$; $-2,5 \ldots 2,5\mathrm{V}$) mit einer S&H-Stufe folgen zu können. Beachten Sie dabei, dass nur 1/32tel der für eine Wandlung zur Verfügung stehenden Zeit für die S&H-Operation verwendet wird.[1] V7
Vergleichen Sie das Ergebnis mit den Messungen M1. ?

Fassen Sie zusammen, welchen Einfluss die Größen Slew-Rate und Drop auf die Wahl der Kapazität in einer S&H-Stufe in Bezug auf das Eingangssignal haben. ?

4.1.2 Statische Fehler

In diesem Versuchsteil werden mit Hilfe der Betriebskennlinien der drei AD-Umsetzer die totale Nichtlinearität ermittelt.

Hierzu ist der analoge Eingangswert am Potentiometer DC-IN von 0V bis 5V zu variieren, dabei sind die Schwellspannungen U_s zu ermitteln, bei denen der digitale Ausgang der Umsetzer zum nächst größeren quantisierten Wert wechselt (LED-Anzeige).

Die dazu benötigte Wertetabelle ist bereits zu Hause vorzubereiten. Tragen Sie einer Spalte dieser Tabelle die theoretischen Schaltschwellen (0V bis 15/16-tel von 5V) ein und sehen Sie eine weitere Spalten für die gemessenen Absolutwerte und die prozentualen Abweichungen vor. V8

Diese Messreihe ist für den Flash-Converter aufzunehmen. Die einzelnen AD-Umsetzer werden über den Schalter SW3 angewählt. M5 15 Schwellwerte

Vergleichen Sie die praktisch ermittelten Schaltschwellen mit den theoretischen Werten und berechnen Sie die Differenz U_d und daraus die prozentuale Abweichung U_d in % für jeden Schaltwert [2]. Skizzieren Sie die prozentualen Abweichungen auf Millimeterpapier und diskutieren Sie das Ergebnis. ?

[1] Ansatz: Maximum der Ableitung · Faktor 32

[2] Berechnen Sie die prozentuale Abweichung bzgl. 5V, d.h. $(U_{\mathrm{s,mess}} - U_{\mathrm{s,theorie}})\,/5\mathrm{V} \cdot 100\%$.

4.1.3 SAR-Converter

In diesem Teil des Versuches sollen Sie das Funktionsprinzip des SAR- Converter dokumentieren. Dafür ist es sinnvoll, den zeitlichen Verlauf der Feedback-Spannung U(Z) aufzunehmen.

M6
1 Scope Bild

Stellen Sie am Potentiometer DC-IN eine Eingangsspannung von 3,8V wie in der Vorbereitungsaufgabe V6 ein. Der Takt wird im „moderate“ oder „slow“-Modus betrieben. Dokumentieren Sie den Verlauf der Feedback-Spannung U(Z) an der BNC-Buchse DA-FEEDBACK mit einem Kanal des Oszilloskopes, während der andere Kanal die Eingangsspannung zeigt.

?

Vergleichen Sie das aufgenommene Bild mit dem Ergebnis Ihrer Vorbereitung.

Lösen Sie zur Veranschaulichung auch im Takt-Modus 'single' mit dem Taster SW2 Single-Trig eine einfache AD-Umsetzung des SAR-Converters aus. Beobachten Sie die Funktionsweise des Umsetzers an Hand der 7-Segment-Anzeige.

4.1.4 Dual-Slope-Converter

Zur Veranschaulichung sollen Sie in diesem Teil ein Timing-Diagramm des Dual-Slope-Converters aufnehmen.

M7
2 Scope Bilder

Stellen Sie dazu den Integratorausgang (BNC-Buchse SLOPE) und den Ausgang des Komparators (BNC-Buchse K-OUT) auf dem Oszilloskop dar. Verwenden Sie den 'moderate'-Modus des Taktgenerators. Führen Sie diese Messung für zwei (gemessene) verschiedene Eingangsspannungen durch.

?

Erläutern Sie das Timing-Diagramm. Welche Flanke kennzeichnet die Integration der Eingangsspannung?

4.1.5 Sigma-Delta-Umsetzer

Für das Umsetzprinzip des Sigma-Delta Wandlers werden die Messungen gemeinsam durchgeführt, da nur ein Funktionsmodell zur Verfügung steht.
Erläutern Sie die vorgestellten Messungen.

Welchen Umsetzer würden Sie für welchen Einsatzgebiet favorisieren?

4.1.6 Dynamische Fehler

Diese Fehlerart entsteht bei einem sich ändernden Eingangssignal des AD-Umsetzers. Aus diesem Zusammenhang ist es natürlich notwendig die S&H-Stufe zu übergehen (SW5). SW7 steht bis auf den Betrieb in Audio-Anwendungen nach wie vor auf DC-Betrieb. Um dynamische Fehler der AD-Umsetzer zu ermitteln ist folgender Aufbau vorzubereiten:

Der analoge Eingang (SIG-IN) ist mit einem langsamen Sinus-Signal von 0,3Hz zu versorgen, wobei also SW6 auf externe Beschaltung gestellt werden muss. Es empfiehlt sich, den internen Takt in eine moderate Geschwindigkeit zu versetzen (SW1), um verschiedene Fehlereffekte sichtbar zu machen. Auf dem angeschlossenen DA-Board wird der Referenz-Umsetzer verwendet. Der so umgesetzte Analogwert wird mit dem Originalsignal auf dem Oszilloskop verglichen.

Untersuchen Sie die einzelnen Umsetzprinzipien (Flash, SAR und DS) auf ihre Empfindlichkeit gegenüber sich ändernden Eingangsspannungen während der Umsetzung. Erläutern Sie die Unterschiede.

M8-10
3 Scope Bilder
?

4.2 Digital-Analog-Umsetzung

4.2.1 Statische Fehler

In diesem Versuchsteil werden zur Ermittlung der statischen Fehler die Betriebskennlinien von DA-Umsetzern aufgenommen. Hierzu ist der digitale Eingangswert manuell am Schalterset SW1.2 bis SW1.5 aufsteigend einzustellen und die analoge Ausgangsspannung zu ermitteln und aufzunehmen. Die dazu benötigte Wertetabelle ist ebenfalls zu Hause vorzubereiten. Sehen Sie in dieser Tabelle ebenfalls eine Spalte für die theoretisch ermittelten Schaltspannungen (0V bis 15/16-tel von 5V) in 16 Schritten vor.

M11
3*16 Werte
V9

Führen Sie den Versuchsteil für diese Prinzipien durch:

- R2R-Umsetzverfahren mit idealer Referenzspannung und Umschaltern gegen Masse (1)
- R2R-Umsetzverfahren mit nicht idealer Referenzspannung und Umschaltern gegen Masse (2)
- R2R-Umsetzverfahren mit nicht idealer Referenzspannung und Einschaltern ohne Massekontakt (4)

Vergleichen Sie die praktisch ermittelten Schaltschwellen mit den theoretischen Werten und berechnen Sie die prozentuale Abweichung (bzgl. 5V) bzw. Toleranz für jeden Schwellwert. Zeichnen Sie hierzu für jedes Umsetzprinzip die theoretischen und gemessenen Graphen. Vorbereitung s.o.

Untersuchen Sie Kennlinienbilder durch Vergleich von Theorie und Praxis auf Fehler in Bezug auf Nullpunktverschiebung, Monotoniefehler und Nichtlinearität. Stellen Sie hierzu die prozentualen Abweichungen in einem Diagramm gegenüber.

?

4.2.2 Dynamische Fehler des R2R-Wandlers

Der analoge Eingang (SIG-IN) am AD-Board ist mit einem Sinus-Signal von 3kHz zu versorgen, wobei also SW6 auf externe Beschaltung gestellt werden muss. Der Takt steht weiterhin auf 'fast'-Modus. Auf dem AD-Board wird der Referenz-Umsetzer verwendet. Verwenden Sie den R2R-Wandler mit einer idealen Spannungsquelle und Umschaltern.

Der umgesetzte Analogwert wird mit dem Originalsignal auf dem Oszilloskop verglichen.

M12
1 Scope Bild

Untersuchen Sie das Messergebnis auf Glitches.

?

Erörtern Sie Lösungen zur Vermeidung dieser Glitches.

4.2.3 Zählverfahren/Pulseitenmodulation

M13
1 Scope Bild

Vergelichen Sie das Eingangs- und Ausgangssignal des Converters mit demselbemn Aufbau wie in der vorherigen Messung.

?

Wie funktioniert dieser Umsetzer?

4.3 Abtastung und Quantisierung

4.3.1 Anti-Aliasing-Filter

In diesem Versuchsteil soll der Einfluss des Anti-Aliasing-Filters verdeutlicht werden.

M14-15
2 Scope Bilder

Der analoge Eingang (SIG-IN) des AD-Boards ist hierzu wieder mit einem Sinus-Signal von 750Hz zu versorgen, wobei also SW6 auf externe Beschaltung gestellt werden muss. Es empfiehlt sich, den internen Takt in eine hohe Geschwindigkeit zu versetzen (SW1-FAST). Führen Sie diesen Versuchteil für beide DA-Umsetzer aus (R2R-Um-Ideal und Zählverfahren). Auf dem AD-Board wird der Referenz-Umsetzer verwendet.

Auf dem Oszilloskop wird das Ausgangssignal der jeweiligen DA-Umsetzers mit dem durch das Anti-Aliasing-Filter gefiltertem Signal verglichen.

?

Diskutieren Sie die Wirkungsweise und Funktion. Welche Effekte sehen Sie?

4.3.2 Quantisierungsrauschen

Dieser Versuchsteil soll den Effekt des Quantisierungsrauschens veranschaulichen.

M16

Speisen Sie am Eingang des AD-Boards ein Sinussignal ein. Auf beiden Boards werden die Referenz-Umsetzer verwendet. Reduzieren Sie über die Umschalter SW1.1-5 auf dem DA-Board schrittweise die Wortgröße (Auflösung) des

Digitalsignals vom niederwertigsten Bit (LSB) ausgehend. Vergleichen Sie das Ausgangssignal mit Hilfe eines Oszilloskops. Nehmen Sie das Spektrum für mindestens zwei verschiedene Auflösungen auf.

Können Sie die Ergebnisse von V3 bestätigen?

Filtern Sie nun das Ausgangssignal mit Hilfe des Anti-Aliasing-Filters auf dem DA-Board und vergleichen Sie mit dem ungefilterten Ausgangssignal.

Was sehen Sie? Nehmen Sie auch hier das Spektrum auf und vergleichen Sie es mit einem ungefilterten Spektrum.

4.4 Audio-Demonstration AD- und DA-Umsetzer

In diesem Versuchsteil werden die Unterschiede der verschiedenen Umsetzerprinzipien akustisch dargestellt.[3] Zunächst werden beide Versuchsboards in Referenz-Einstellungen betrieben und ein Audio-Signal über einen CD-Spieler an den Signaleingang des AD-Boards gegeben. Dieses Audio-Signal wird gleichzeitig über einen Kanal der Lautsprecher hörbar gemacht. Das Ausgangssignal des DA-Boards wird auf den zweiten Kanal der Lautsprecher gelegt. Auf diese Art und Weise lassen sich Original-Signal und das AD-DA-umgesetzte Signal akustisch vergleichen. M17

Variieren Sie nun einerseits die verschiedenen AD-Umsetzer und diskutieren Sie die Unterschiede und ihre Ursachen. Wechseln Sie dann auch die DA-Umsetzer und beobachten Sie auch den Referenzbetrieb für 1, 2, 3, 4Bit- und 8Bit-Einstellungen. Was passiert, wenn das MSB fehlt?

Begründen Sie Ihre Ergebnisse.

[3] Es wäre schön, wenn jemand eine CD mitbringen könnte.

4.5 Tabellarische Kurzübersicht der Messungen

Sample&Hold-Stufe

M1	Vergleich Eingang/Ausgang bei C1-C4
M2	Messung der Slew-rate bei C1-C4, langsamer Sinus
M3	Messung des Drop bei C1-C4, sehr langsamer Sinus
M4	Messung des Hold-step, langsamer Sinus
V7	Abschätzung der Slew Rate

AD-Umsetzer

V8	Tabelle vorbereiten
M5	Flash-Umsetzer, Statische Kennlinie, DC
V4	SAR-Umsetzer, theoretisches Timing-Diagramm, zeichnen
M6	SAR-Umsetzer, Timing-Diagramm, DC
M7	Dual-Slope, Timing-Diagramm, 2 DC Werte
V5	SNR Formel des Sigma-Delta-Umsetzers herleiten
	Sigma-Delta-Umsetzer, Demonstration
M8	Flash-Umsetzer, Dynamische Fehler ohne S&H, langsamer SIN
M9	SAR-Umsetzer, Dynamische Fehler ohne S&H, langsamer SIN
M10	Dual-Slope, Dynamische Fehler ohne S&H, langsamer SIN

DA-Umsetzer

V6	R2R Netzwerk herleiten
V9	Tabelle vorbereiten
M11	R2R-Umsetzer, Statische Kennlinie, 4-Bit, 3 Varianten!
M12	R2R-Umsetzer, Dynamische Fehler, Analoge Rampe
M13	Pulsweitenmodulation (PWM), Timing-Diagramm, langsamer SIN

Anti-Aliasing / Quantisierungseffekte

	M14		Anti-Aliasing-Filter bei R2R, langsamer SIN, Auswirkung
	M15		Anti-Aliasing-Filter bei PWM, langsamer SIN, Auswirkung
V1	V2	V3	Quantisierungsrauschen, Rauschleistung, SNR
	M16		Quantisierungsrauschen, Spektrum, Sinussignal
	M17		Quantisierungsrauschen, Audiosignal

Literaturverzeichnis

[1] Halbleiter-Schaltungstechnik U.Tietze & Ch.Schenk, Springer Verlag 1994

[2] Analoge Schaltungen
M. Seifart, Verlag Technik GmbH, Berlin 1996

[3] AD- und DA-Umsetzer
C. Kühnel, Militärverlag der Deutschen Demokratischen Republik, Berlin 1988

[4] Oversampling Delta-Sigma Data Converters
James C. Candy & Gabor C. Temes, IEEE Press, New York

[5] An overview of Sigma-Delta Converters
Pervez M. Aziz, Henrik V. Sorensen & Jan van der Spiegel, IEEE Signalprocessing Magazin, 1996

[6] Digitale Signalverarbeitung
K.D. Kammeyer/K. Kroschel, B.G. Teubner, Stuttgart 1996

[7] Nachrichtenübertragung
K.D. Kammeyer, B.G. Teubner, Stuttgart 1992

[8] Datasheet ADC 601
Burr-Brown, Tucson

[9] High Speed CMOS
Motorola, 1984

[10] Halbleiter Anschluß-Tabellen
Alfred Härtl, Härtl-Verlag, 1991